

2/5/1 (Item 1 from file: 351)  
DIALOG(R)File 351:Derwent WPI  
(c) 2003 Thomson Derwent. All rts. reserv.

007460298 \*\*Image available\*\*

WPI Acc No: 1988-094232/ 198814

Double sampling system automatic equaliser for data transceiver -  
comprises switch delay, adder, signal estimator and error signal  
producing circuit NoAbstract Dwg 4/5

Patent Assignee: TOSHIBA KK (TOKE )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 63043425	A	19880224	JP 86186902	A	19860811	198814 B

Priority Applications (No Type Date): JP 86186902 A 19860811

Title Terms: DOUBLE; SAMPLE; SYSTEM; AUTOMATIC; EQUAL; DATA; TRANSCEIVER;  
COMPRISE; SWITCH; DELAY; ADDER; SIGNAL; ESTIMATE; ERROR; SIGNAL; PRODUCE;  
CIRCUIT; NOABSTRACT

Derwent Class: W01; W02

International Patent Class (Additional): H04B-003/06; H04L-027/00

File Segment: EPI

2/5/2 (Item 1 from file: 347)  
DIALOG(R)File 347:JAPIO  
(c) 2003 JPO & JAPIO. All rts. reserv.

02426525 \*\*Image available\*\*

DOUBLE SAMPLING TYPE AUTOMATIC EQUALIZER

PUB. NO.: 63-043425 A]

PUBLISHED: February 24, 1988 (19880224)

INVENTOR(s): KAMITAKE TAKASHI

UEHARA KIYOHICO

ABE MASAHIRO

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 61-186902 [JP 86186902]

FILED: August 11, 1986 (19860811)

INTL CLASS: [4] H04B-003/06; H04L-027/00

JAPIO CLASS: 44.2 (COMMUNICATION -- Transmission Systems); 44.3  
(COMMUNICATION -- Telegraphy)

JOURNAL: Section: E, Section No. 635, Vol. 12, No. 256, Pg. 96, July  
19, 1988 (19880719)

#### ABSTRACT

PURPOSE: To apply all processing cycles in the Baud rate by inputting a signal having a time interval being a half of the Baud rate to two Baud rate automatic equalizers alternately with synchronization.

CONSTITUTION: When a 1st value of a signal string comes, since the signal is an odd number string, a changeover switch 2 is turned off and this signal is inputted to a delay circuit only. In receiving a 2nd value as an input signal, since the signal is an even number string, two changeover switches are turned on, a present signal is inputted to an automatic equalizer 1 and a signal before one point of time of that to the delay circuit is inputted to an automatic equalizer 2. In repeating the process, a signal having a time interval being a half of the Baud rate is inputted alternately to the two Baud rate type equalizers at the interval of Baud rate alternately and synchronizingly. Thus, the processing cycle after the automatic equalizers is executed in the unit of Baud rate.

## ⑫ 公開特許公報(A)

昭63-43425

⑬ Int. Cl.<sup>4</sup>

H 04 B 3/06

H 04 L 27/00

識別記号

庁内整理番号

E-7323-5K

C-7323-5K

K-8226-5K

⑭ 公開 昭和63年(1988)2月24日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 ダブルサンプリング型自動等化器

⑯ 特 願 昭61-186902

⑰ 出 願 昭61(1986)8月11日

⑱ 発 明 者 神 竹 孝 至 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究  
所内

⑲ 発 明 者 上 原 清 彦 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究  
所内

⑳ 発 明 者 阿 部 雅 宏 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究  
所内

㉑ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉒ 代 理 人 弁 理 士 則 近 憲 佑 外1名

## 明 細 書

## 1. 発明の名称

ダブルサンプリング型自動等化器

## 2. 特許請求の範囲

(1) 復調信号を等化するためのダブルサンプリング型自動等化器であって、ボーレートの2倍の速度の復調信号を偶数時点と奇数時点で2つのボーレート信号に分けるためのボーレート間隔で切換る2つのスイッチ及びボーレートの半分の時間を遅延させる遅延回路と、上記の両信号をそれぞれ入力信号とするボーレートで動作する自動等化器1及び自動等化器2と、両自動等化器の出力を加算する加算器と、その加算された信号を判定する判定回路と、その判定回路の入出力の誤差信号を発生する誤差信号発生器を用い、その誤差信号によりボーレートで動作する自動等化器1及び自動等化器2のタップ係数を修正する事の特徴とするダブルサンプリング型自動等化器。

## 3. 発明の詳細な説明

## 〔発明の目的〕

(産業上の利用分野)

この発明は、直交振幅変調を用いたデータ伝送受信機におけるダブルサンプリング型自動等化器に関する。

(従来の技術)

従来のダブルサンプリング型自動等化器の構成を第5図に示す。従来の構成においては、ボーレートTの半分の時間間隔T/2の信号を自動等化器の入力とし、T/2間隔のレジスタの値とタップ係数の積和演算の結果をT間隔でサンプルし、判定回路でT間隔で判定を行ない、判定回路の入出力の誤差信号をT間隔で発生し、それにより自動等化器のタップ係数を修正するというものである。

この従来技術には、自動等化を行なう過程において2つの異なる処理サイクルT、T/2が存在する。これは、実際にダブルサンプリング型自動等化器を構成する際に制御が複雑となっていた。

## (発明が解決しようとする問題点)

従来技術では上述のように、ダブルサンプリング自動等化器の処理過程において、2つの異なる処理サイクルが存在するので制御が複雑という問題点があった。

そこで、本発明は、すべての処理過程を1つの処理サイクルで行なうことによって単純な制御で動作し得るダブルサンプリング型自動等化器を提供することを目的とする。

## 〔発明の構成〕

## (問題点を解決するための手段)

本発明の技術的手段を第1図に示す。すなわち、本発明において、ボーレートの半分の時間間隔の入力に対し、2つのボーレート型自動等化器を並列に構成し、さらにその前に2つのボーレート間隔の切換スイッチ及びボーレートの半分の時間を遅延させる遅延回路を構成することにより、すべての処理サイクルをボーレートTで行なうことができる。

この過程を4つの信号  $a_{(n-1)T+T/2}$ ,  $a_{nT}$ ,  $a_{nT+T/2}$ ,  $a_{(n+1)T}$  に対して行なった結果を第3図に示す。この過程を繰返すことにより、ボーレートの半分の時間間隔の信号をボーレート間隔で2つのボーレート型自動等化器へ交互にかつ同期をとって入力できることになる。これにより、ボーレート型自動等化器以後の処理サイクルはすべてボーレートで行なうことができる。詳細は実施例で示す。

以上の原理により、本発明は第1図の構成のダブルサンプリング型自動等化器を用いることにより、すべての処理サイクルをボーレートで行なうことができ、制御が簡単になる。

## (実施例)

以下に本発明の実施例を図を用いて説明する。第4図は本発明の実施例を示す図である。第4図において端子41には復調された信号が入力される。端子41にはスイッチ46と遅延回路45が並列に接続される。さらに、遅延回路45にはスイッチ47が接続される。以上の間のデータ送信

## (作用)

本発明によれば、ボーレートの半分の時間間隔の信号はボーレート間隔Tで2つに分けられ、それぞれ2つの自動等化器へ入力される。この信号の流れを第2図・第3図を用いて説明する。第2図において、ボーレートTの半分の時間間隔の信号列を  $a_{nT/2}$  とし、 $a_{nT}$  を偶数列、 $a_{nT+T/2}$  を奇数列とする。ただし、nは自然数とする。さらに2つの切換スイッチは、偶数列の信号の時のみ同時にONになるものとし、ボーレートの半分の時間を遅延させる遅延回路は奇数列の信号を入力する自動等化器側にのみ接続するものとする。

第2図の信号列の1番目の値  $a_{(n-1)T+T/2}$  がくると、この信号は奇数列であるので2つの切換スイッチはOFFとなり遅延回路にのみ、この信号が入力され、2番目の値  $a_{nT}$  が入力信号としてくると、この信号は偶数列なので2つの切換スイッチがONとなり、自動等化器1に現在の信号  $a_{nT}$  が入力され、自動等化器2に遅延回路の中の1時点前の信号  $a_{(n-1)T+T/2}$  が入力される。

はボーレートのデータ間隔Tの半分の  $T/2$  で行なわれる。スイッチ46は自動等化器1の48へ、スイッチ47は自動等化器2の49へ接続され、それぞれの自動等化器のレジスタの出力は端子42、端子43へ出力される。このスイッチ46及びスイッチ47以降のデータ送信はすべてボーレートのデータ間隔Tで行なわれる。2つの自動等化器48及び51のそれぞれのレジスタの値とタップ係数の乗算はそれぞれの可変タップゲイン49、52で行なわれ、その乗算結果の加算をそれぞれの自動等化器の加算回路50、53で行なう以上の2つの積和演算結果は、さらに加算回路54で加算され、判定回路55へ入力され判定が行なわれ、判定結果が端子44へ出力される。誤差信号は判定回路の入出力の差を加算器56で加算されることにより得られる。この誤差信号は2つの自動等化器のタップ係数に帰還され、最急降下法によりタップ係数を最適な値に修正する事ができる。

【発明の効果】

本発明によれば、すべての処理サイクルをボレータで行なえるダブルサンプリング型自動等化器を構成することができ、実現上その構成は非常に容易となる。

4. 図面の簡単な説明

第1図は本発明で用いるダブルサンプリング型自動等化器の動作を説明するためのブロック図、第2図及び第3図は本発明の特徴を説明するためのブロック図、第4図は本発明の実施例を示す図、第5図は従来のダブルサンプリング型自動等化器の構成図である。

45…遅延回路、46, 47…切換スイッチ、48, 51…自動等化器、49, 52…自動等化器の可変タップゲイン、50, 53…自動等化器の加算回路、54, 56…加算回路、55…判定回路である。

代理人 弁理士 則 近 意 佑  
同 竹 花 喜 久 男

第 1 図

